# `This Page Is Inserted by IFW Operations and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

#### PATENT ABSTRACTS OF JAPAN

(11)Publication number:

08-305681

(43)Date of publication of application: 22.11.1996

(51)Int.CI. G06F 15/78 H03H 11/04 H03H 19/00

(21)Application number : 07-110519 (71)Applicant : SHARP CORP

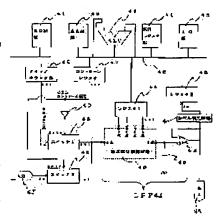
(22)Date of filing: 09.05.1995 (72)Inventor: NAKAI TOSHIBUMI

#### (54) MICROCOMPUTER

#### (57)Abstract:

PURPOSE: To arbitrarily and variably set the filter characteristic without increasing the cost by providing an RC active filter part including a variable resistance circuit, a capacitor, and an operational amplifier, a register, a means which variably sets contents of the register, and a control means which sets the resistance value of the variable resistance circuit based on contents of the register.

CONSTITUTION: A control signal CTL from a control register 47 is applied to not only a second switch 49 but also a first switch 48 (turned on for '1' of the control signal and turned off for '0' of the control signal) through an inverter 4D to switch the input to a resistance component control circuit 4G in the succeeding stage. The decision level in a level decision circuit 4H is determined by adjustment of an input inverted voltage. In the case of input higher than this decision level, the level decision circuit 4H outputs output '1'; but in the case of input equal to or lower than the decision level, the level decision circuit 4H outputs output '0'. This output is inputted to and stored in a second register 4B.



# お十敗的十群水の範囲

(19)[発行国]日本国特許庁(JP) (12)[公報種別]公開特許公報(A) (11)[公開番号]特開平8-305681 (43)[公開出日平成8年(1996)11月22日 (54)[銀切名称]マイクロコンピュータ (51)[国際特許分類第6版]

15/78 11/04 19/00 606F H03H

8731-5J 8842-5J 510 G

Ξ

(審查請求]朱請求 [關來項の設]3 [出顧形態]0L [全員数]8 (2.)[出顧日]] 中成7年(1995)5月9日 (2.2)[出顧日]] 中成7年(1995)5月9日 (7.1)[出顧人] [提別番号] (2.2)[在第1] [在第12年第1] 大阪府大阪市阿倍野区長池町22番22号 (元名] (2.2)[共明者] (元名] (2.2)[共明者] (元名] (2.2)[共明者]

= ~.)

垄 [井理士] [氏名又は名称]梅田

(57)「要約〕 【目的】 アナログフィルタを内蔵するマイクロコンピュータに於いて、任意にフィルタ特性を可変できる構成を提供するこ

【構成】その内容がプログラムで任意数定可能な第1レジスタ4Aと、該レジスタの内容に応じて、その抵抗値が数定される抵抗成分割即回路4Gとそかパンタ4によいまして、スフィルタ4に、上記抵抗成分制御回路4Gとキャパンタ4Fと演算増幅器4Eとにより構成される。

「構求項」)RC能動フェルタを内蔵するマイクロコンピュータに於いて、可変抵抗回路と、キャパシタと、済算機構器とを含むRC能動フェルタ部と、レジスタと、散レジスタの内容を可変設定する手段と、上記レジスタの内容に基づいて、上記の変抵抗回路の抵抗値を設定する制御手段と変数けて成ることを特徴とするマイクロコンピュータ。 「構筑項」スインチャ・キャパシタ・メイルタを内蔵するマイクロコンピュータのイクロコンピュータ。 「構筑項」スインチャ・キャパンタ・スイルタを内蔵するマイクロコンピュータがあった。スイッテング手段と、キャパンタと、 済算機構器とを含むスイッチャ・キャパンタ・フィルタ制と、レンスタと、版レジスタの内容を可変投定する手段と、キャパンタと、 オクロコンピュータ。 イクロコンピュータ。 「最大項」上記レジスタ内容可変設定手段が、上記RC能動フィルク部又はスイッチャ・キャパンタ・フィルタ部に、遮断 国家教を超える周波数の信号と、造断周波数未満の信号を選択的に入りする手段と、上記RC能動フィルタ部 又はスイッチ・キャパンタ・フィルタ部のエリカーへルを判の出る数の信号を選択的に入りする手段と、上記RC能動フィルタ部 又はスイッチ・キャパンタ・フィルタ部の出りエハルを判定する手段と、様判定手段の出力に基づいて上記アジスタの内容設定を行うレジスタ制御手段とから成ることを特徴とする。 経費を行うレジスタ制御手段とから成ることを特徴とする。 請求項 1又は21に記載のマイクロコンピュータ。 【特許請求の範囲】 【請求項1】 BC能

詳細な説明

【発明の詳細な説明】 【を乗上の利用分野】本発明は、アナログフィルタ、特に、RC能動フィルタ又はスイッチト・キャパンタ・フィルタを内蔵するマイクロコンピュータに関するものである。 マイクロコンピュータに関するものである。 「0002】 【従来の技術】通常、集積回路に内蔵するアナログス・ルタとしては、抵抗とキャパンタを用いたRC能動フィルタ、又は、 RC能動フィルタの抵抗成分をフロック周波数に置き換えたスイッチト・キャパンタ・フィルタが一般的であり、RC能動フィルタの場合、アイルタの場合、アイルタの場合、RT・の精度は、体抗とキャパンの領定に依存し、また、スイッチト・キャパンタ・フィルタの場合は、その精度はキャパンタの有度に依存していた。このため、マイクロコンピュータに上記フィルタを内蔵させた場合に、所望のフィルタの指令、このため、マイクロコンピュータに上記フィルタを内蔵させた場合に、所望のフィルタの構造、アイクロコンピュータに上記フィルタを内蔵させた場合に、所望のフィルタの指係、アイクロコンピュータに上記フィルタを内蔵させた場合に、所望のフィルタの指定に依存していた。このため、マイクロコンピュータに上記フィルタを内蔵させた場合に、所望のフィークの自然を表示してフィルタ特性が変動するという問題点があった。

於いて提案されている。 [0004]図3は、その概要図である。抵抗RとキャパシタCと演算増幅器OPとにより、一次のローパスフィルタが構成さ

[0005]図3の概要図に示すように、ローバスフィルタLPFのキャパシタCの静電容量値をインピーダンスメータZMで実演し、この実演値から、コンピュータCPUにより抵抗の理論値を算出して、このデータを自動トリミング装置ATに送る。そして、自動トリミング装置(、抵抗Rの値が上記理論値になるように、レーザ等で図2のXの箇所を選択的に切断してトリミングする。これにより、所望のフィルタ特性を得ることができる。

、発明が解決しようとする課題)しかしながら、上記従来技術に於いては、一度投定したフィルタ特性は固定であり、その後、任意に変更するということはできなかった。また、インピーダンスメータ、自動ドリミング装置等を用いた特別なプロセスが必要となるため、マイクロコンピュータのコストアップも招来していた。 7が必要となるため、マイクロコンピュータのコストアップも招来していた。 [0007]本発明は上記従来の問題点を解決すべくなされたものであり、任意にフィルタ特性を可変できると共に、従来のようなインピーダンスメータ、自動ドリミング装置等の特別な装置も全く必要としない構成を提供するものである。

「課題を解決するための手段」本会明のマイクロコンピュータは、RC能動フィルタを内蔵するマイクロコンピュータに於いて、可変抵抗回路と、キャパシタと、演算増陽器と含むRC能動フィルタ的と、レジスタと、抜レジスタの内容を可変設定する手段と、上記レジスタの内容に基づいて、上記可変抵抗回路の抵抗値を設定する制御手段とを設けて成ることを特性するものである。 10009]また、本発明のマイクロコンピュータは、スイッチト・キャパシタ・フィルタを内蔵するマイクロコンピュータに於いて、スペッチン発表は、東発明のマイクロコンピュータは、スイッチング・ア・スペッチング手段と、キャパシタと、演算増福器とを含むスイッチン・キャパシタ・フィルタ部と、またいスター、結レジスタ

「0009」また、本発明のマイクロコンピュータは、スイッチト・キャパシタ・フィルタを内蔵するマイクロコンピュータに於いて、スイッチング手段と、キャパシタと、演算増積器とを含むスイッチト・キャパシタ・フィルタ部と、レジスタと、抜レジスタの内容を可変設定する手段と、ナャパシタと、演算増積器とを含むスイッチト・キャパシタ・フィルタ部と、レジスタと、抜レジスタの内容を可変設定するものである。 の内容を可変数にする手段と、上記レジスタの内容に基づいて、上記スイッチング手段のオン・オフ囲場を設定する制御 手段とを設けて成ることを特徴とするものである。 [0010]さらに、上記しジスタ内容可変数定手段が、上記RC能動フィルタ部又はスイッチト・キャパシタ・フィルタ部に、運断局波数を超える周波数の信号と、遮断周波数の信号を選択的に入力する手段と、上記RC能動フィルク部又はスイッチト・キャパシタ・フィルタ部の出力レベルを判定する手段と、該判定手段の出力に基づいて上記レジスかの内容数定を行うレジスタ制御手段とから構成されることを特徴とするものである。

作用」本条明によれば、上記レジスタ内容の可変設定により、任意に所望のフィルタ特性を得ることができる。また、上記レジスタ内容の書き換えにより、任意にフィルタ特性を変更することができるものである。

(0012) (実施例)以7 (0013)図1

【英施例」以下、東施例に基づいて、本発明を詳細に説明する。 [0013]図1は本発明の一東施例のプロック構成図である。本実施例は、一次のローバスフィルタ4を内蔵するマイクロ 2ンピューターで流いて本報明を施したものである。 2ンピューターで流いて本報明を実施したものである。 [0014]図1に於いて、41はプログラム等を設定するROM断、42はデータを記憶するRAM断、43は其構施建済算を実 行するALU、44は式用レジス分部、45は人出力部、46はクロックCKを出力するタイマノカウン分配、47はコントロー カレジスタ、48は第1スイッチ、49は第2スイッチ、4Aは第1レジスタ、48は1第2レジスタ、46はバスライン、401はイン バータ、48は第1スイッチ、49は接ばなど前は40回路、44は北口の出力のレベル判定回路である。 上記ROM略41、RAM能42、AIU43、汎用レジスタ組44、入出が1945。タイマノカウン分部46、コントロールレジスタ 47、第1レジスタ4A及び第2レジスタ4Bは、すべてバスライン4C上に接続され、プログラムによって管理もしくは、制御

「2015」9イマノカウン9節46は、設定された条件によって決定される周波数のクロックCKを算1スイッチ48に出力する。コントロールシスタ47からのコントロール信号CTLは、第2スイッチ49へ、また、インバータ4Dを介して第1スイッチ48へ印加され(各スイッチは、コントロール信号CTLは、第2スイッチ49へ、また、インバータ4Dを介して第1スイッチ48へ印加され(各スイッチは、コントロール信号CTLは、第2スイッチ49の抵抗成分制御回路4Gへの入力が向り換わる。すなわる、上記コントロール信号CTLが、「のときは、第2スイッチ49がオンと、第1スイッチ48がオンとなり、通常使用時に深いて、LPF入力となる入力を入る人のとされている。エアイは、第1スイッチ48がオンとなり、エ記タイマノカウンの自然に入力となる人のよりが入力となる人が信号が、LPF4を構成分割御回路4Gに入力される。一方、上記コントロール信号CTLが、0のときは、第1スイッチ48がオン第2スイッチ48がオンとなり、エ記タイマノカウンを持ちかのクロックCKが抵抗成分割御回路4Gに入力される。LPF41の出力は、通常使用時に深いてLPF出力とならかのクロックCKが抵抗成分割御回路4Gに入力される。LPF4184Hは、発見は、2段のCMOSインバータ回路で構成からから、プル判定回路4Hの双方に与えらよった。レベル判定回路4Hは、対方、全地力ル、キャルのトランジスタサイズの比で設定可能)の随時により判定レベルが決められる。この判定レベルを超えた入力があれば、レベル判定回路4Hの出力は、第2ビジスタ4Bに入り、記憶されば、レベル判定回路4Hは、出力、0.を出力する。このレベル判定回路4Hの出力は、第2ビジスタ4Bに入り、記憶を図4を図2に示す。

A変換器5.

4Hの田力は、第2レジスタ4Bに入り、BLBCのです。 超抗成分制御回路4Gの具体的構成例を図4~図2Lにすす。 図4Lにすものは、RC能助フィルタの場合の構成例であり、上記録1レジスタ4Aの出力をD/A変換するD/ 図4Lにすものは、RC能助フィルタの場合の構成例であり、上記録1レジスタ4Aの出力をD/A変換するD/ 51と、核D/A変換器51のアナログ出力信号が、そのゲートに可加されるオン抵抗用PチャネルMOSトランジ 51と、核D/A変換器51のアナログ出力信号が、そのゲートに可加されるオン抵抗用PチャネルMOSトランジ 51と、核D/A変換器51のアナログ和の容と抵抗値との関係は、レジスタ内容の値が大きぐなる程、抵抗値は から構成される。上記算1レジスタ4Aの内容と抵抗値との関係は、レンA変換器51の出力レベルは高くなり、従 2msェントっエーに、4。すなわち、レジスタ内容の値が大きぐなる程、D/A変換器51の出力レベルは高くなり、従 なる程、遮断周波数には低くなる

[0018]<u>図5</u>に示すものも、RC能動フィルタの場合の例であり、並列接続された抵抗が、r<sub>2・r3</sub>及びr<sub>4</sub>から成る抵抗部分

から成る抵抗部分57と、それぞれ、各抵抗に並列接続されたスイッチ用PチャネルMOSトランジスタP<sub>1</sub>,P<sub>2</sub> P<sub>3</sub>及びP<sub>4</sub> から成るスイッチ部分58とから成る構成とすることもできる。この場合、例えば、抵抗・, ・, の抵抗値を・, = R、・, = 2

[0020]図2はスイッチト・キャパンタ。フィルタの場合の構成例であり、上記算1レジスタ4Aの出力に応じて、その分間比が決定される分圏器55と、抜分周器55の出力によってオン・オフ制御されるスイッチ用PチャネルMOSトランジスタ56とから構成される。第1レジスタ4Aの出力と、分周器55の出力信よってオン・オフ制御されるスイッチ用PチャネルMOSトランジスタ56とから構成される。第1レジスタ4Aの出力と、分周器55の出力信号の周期1との関係は、例えば、以下の表1のように「0021]

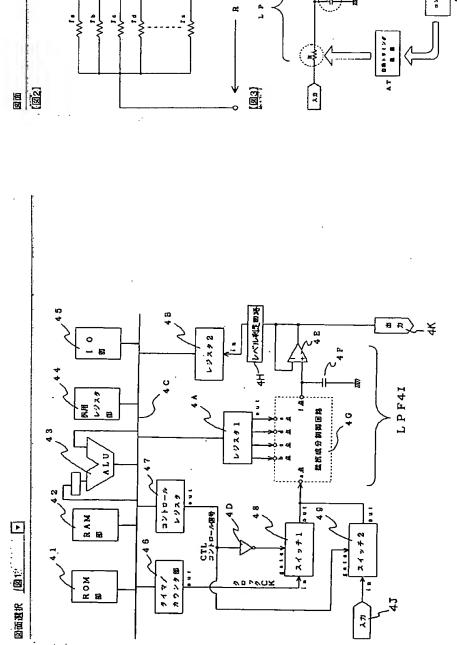
ナノレジスタイム仏力 分別器 55 の仏力部前	0000	12 10	31	 0   151
8		0	0	 -
		0	0	_
1 3		0		_

(0022)なお、上記各PチャネルMOSトランジスタに代えて、若干の構成変更が必要ではあるが、NチャネルMOSトランスタ、或いは、CMOSトランスファーゲートを用いる構成も可能であることは貫うまでもない。 (0023)図8及近図9は、本実施例のマイクロコンピュータに於いて、フィルタ特性調整時に実行されるプログラムのフロ

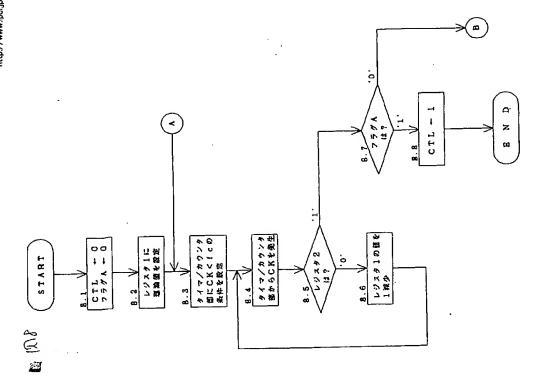
[0024]のスチップ8、1LPF41の入力端子(8点)をクロックCK剛へ切り替えるために、コントロール信号CTLを'0'に、また、内部のフラグAを'0'に投定する。フラグAは、本実施例に於いて実行される2つの処理(クロックCKの周波数を、電路側放数を超える周波数に設定して行う処理と、クロックCKの周波数を遮断周波数未満側の形態にして行う処理の内、遮断周波数を超える周波数に投定して行う処理の内、遮断周波数を超える関波を超えを関係を打したことをネッラグである。遮断周波数未満側の処理が終了したことをできますフラグである。遮断周波数未満側の処理が終了したことをにだいて、このフラグAの状態を判断し、最近が1'であれば、処理を終了する。一方、遮断周波数未満側の処理が終了した時点で、フラグAが、まだ。0'であれば、遮断周波数を超える側の処理の薬行に進む。

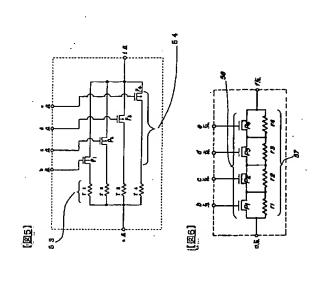
クCKの条件を設定する。 [0033]〇ステップ8、10タイプ/カウンタ間46から条件通りのクロックCKを発生させる。数クロックCKは、第1スイッ 148を介してLPFは10度抗成分制御回路を4Gに印加される。LPF41の出力は、レベル判定回路4Hで判定され、その結果(1・Xは10・1)は第2レジスタ4Bに入力、配盤される。 果(1・Xは10・1)は第2レジスタ4Bの内容が1・であるか、0・であるかを判断する。 [0034]〇ステップ8、12第2レジスタ4Bの内容が1・であるが、0・であるかを判断する。

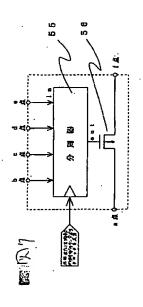
[発明の効果]以上詳細に説明したように、本発明によれば、コストアップを招来すること無く、フィルタ特性を任意に可変設定することができる、極めて有用なマイクロコンピュータを提供することができるものである。 )、10に戻る。 0036]Oステップ8、13第2レジスタ4Bの内容が「0'であれば、フラグAを'1'に設定して、上記ステップ8・3に戻る。 0037]

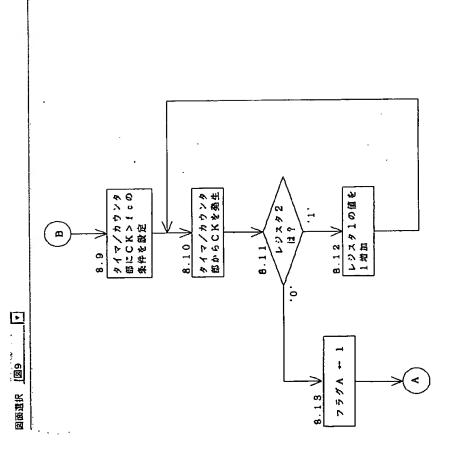


[國1]









AN/10/96 16·4

۶.